

## Fehleranalyse & Authentizitätsprüfung

### auf Package- & Chiplevel

*Chip auf Probenhalter für  
Chipscanning.*  
©Fraunhofer EMFT/Bernd Müller

### Anwendungsgebiete

Durch die kontinuierliche Miniaturisierung in der Mikroelektronik und Halbleitertechnik sind die Anforderungen an elektronischen Komponenten und Systemen stark gestiegen. Ausfälle und Fehlfunktionen können aufgrund der Komplexität und der Vielseitigkeit an möglichen Fehlermechanismen insbesondere für KMU's eine große Herausforderung darstellen. Vor diesem Hintergrund bieten die Wissenschaftler des Fraunhofer EMFT anhand der langjährigen Erfahrung und Expertisen diverse Dienstleistungen auf dem Gebiet der Schadens- bzw. Fehleranalyse, Qualitätssicherung, Originalitätsprüfung von Bausteinen, sowie Prozessberatung an.

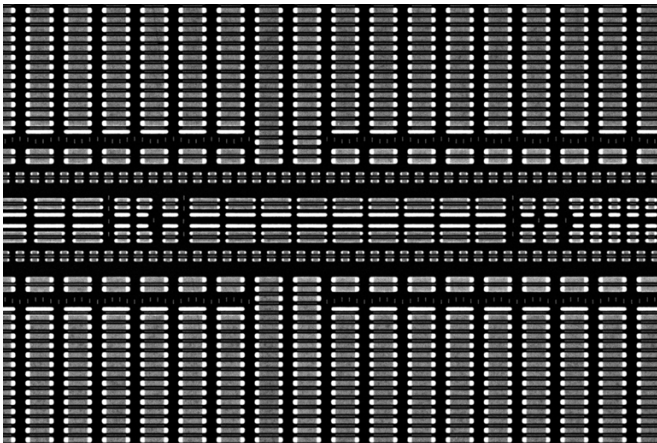
Gerne bieten wir auch in unserem CC-EAL-6 zertifizierten Labor Analysen an Sicherheitsbausteinen an!



*Per CNC bearbeitete  
Platine. Der IC wurde  
freigelegt und rück-  
seitig gedünnt für  
weiterführende  
Untersuchungen.*  
©Fraunhofer EMFT

## Technische Innovation

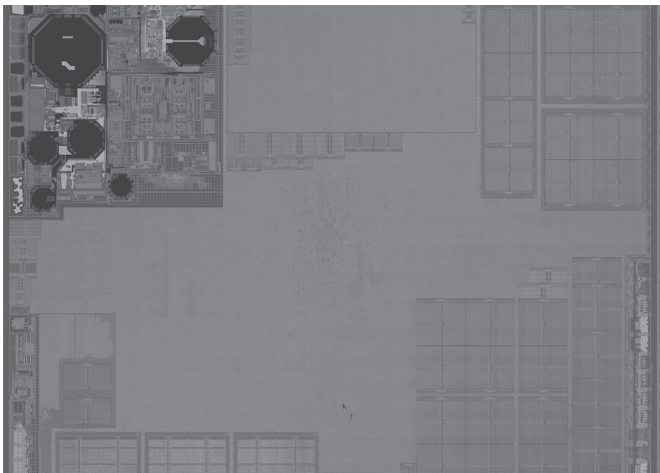
Angefangen von der ausgefallenen Platine können wir die Analyse bis zur einzelnen Komponente der Platine, wie etwa dem verbauten IC, fortsetzen. Die IC selbst können aus dem Package ausgelöst werden, und mit weiteren elektrischen Messungen und physikalischer Präparation weiter untersucht werden. Die einzelnen Metalllagen im Chip können separat abgetragen werden, um diese per Chipscanning zu analysieren.



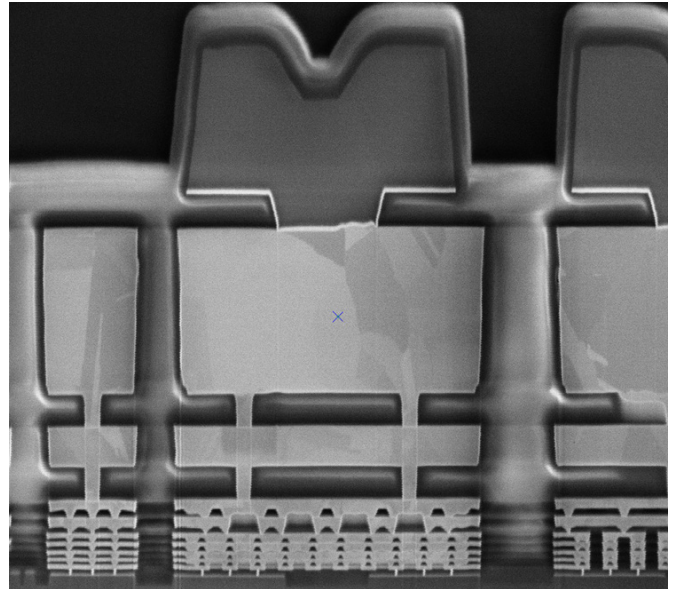
Detailansicht eines 7nm-Bausteins. ©Fraunhofer EMFT

## Technische Daten

Sowohl nicht-zerstörende, als auch zerstörende Prüfungen und Analysen auf Platinen- und Einzelkomponentenlevel können die Ausfallursache Ihrer Baugruppen aufzeigen und darstellen. Dazu verfügen wir über die modernsten Techniken und Geräte hierfür, darunter: 2D/3D-CT-Röntgenmikroskopie, chemisch-mechanische Präparationstechniken, hochauflösende optische Mikroskopie, Rasterelektronenmikroskopie, sowie vollflächiges Chipscanning in einem Rasterelektronenmikroskop. Eine Dual Beam FIB/SEM – Anlage ermöglicht uns die Modifikation und die Bearbeitung von Mikrochips.



Gesamtbild einer IC-Metalllage. ©Fraunhofer EMFT



Querschnitt durch den Lagenaufbau eines IC. ©Fraunhofer EMFT

## Ausblick

Haben Sie außerdem Fragen zur EM-Verträglichkeit oder Robustheit Ihrer Bauteile hinsichtlich ESD? Auch hier bieten unsere Kollegen und Kolleginnen kompetente Unterstützung!

## Förderung

Das Projekt wird durch das Bundesministerium für Bildung und Forschung (BMBF) und die Forschungsfabrik Mikroelektronik Deutschland (FMD) gefördert.

## Fraunhofer-Institut für Elektronische Mikrosysteme und Festkörper-Technologien EMFT

Tobias Zweifel  
Kompetenzbereich: Analyse und Test  
Phone +49 89 54 75 9 128  
Tobias.Zweifel@emft.fraunhofer.de

Fraunhofer EMFT  
Hansastraße 27 d  
80686 München  
www.emft.fraunhofer.de



Fraunhofer EMFT ist Teilnehmer an der  **Forschungsfabrik Mikroelektronik Deutschland**